

# BEST AVAILABLE COPY

## INPUT DISCRIMINATION CIRCUIT

**Patent number:** JP8321747  
**Publication date:** 1996-12-03  
**Inventor:** MIYAMOTO MASAYUKI; IIZUKA KUNIHICO; FUJIO MITSUHIKO; MATSUI HIROFUMI  
**Applicant:** SHARP CORP  
**Classification:**  
 - international: H03K3/353; H03K3/0233; H03K17/00; H03K17/30  
 - european:  
**Application number:** JP19950125372 19950524  
**Priority number(s):**

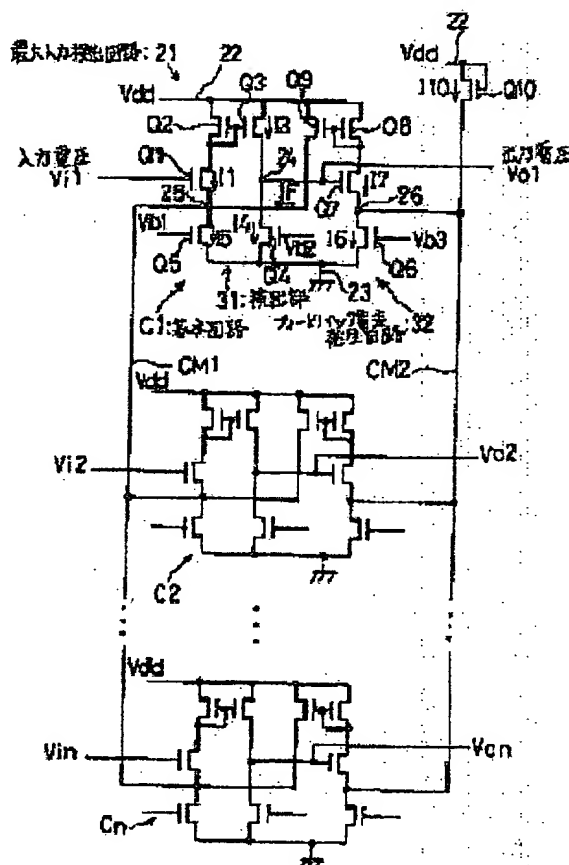
Also published as:

EP0744624 (A2)  
 EP0744624 (A2)  
 US5703503 (A1)  
 EP0744624 (A3)  
 EP0744624 (B1)

### Abstract of JP8321747

**PURPOSE:** To accurately discriminate the maximum value or the minimum value with simple configuration from many analog inputs by setting each prescribed parameter to satisfy a specific relational equation.

**CONSTITUTION:** A detection section 31 compares each input voltage  $V_{ij}$  with a reference voltage and a feedback current generating circuit 32 outputs a feedback current  $I_F$  to decide a range for discrimination corresponding to an output voltage  $VO_j$  of the detection section 31. Then a transistor (TR) Q10 in pairs with a TR Q7 deciding a feedback current and ensuring a bias current  $I_6$  even with a small input voltage is provided in common to each basic circuit  $C_j$ . A ratio of gate width/gate length of TRs Q9, Q8 is selected to be  $r(9, 8)$ , a ratio of gate width/gate length of TRs Q10, Q7 is selected to be  $r(10, 7)$  and let a current flowing to the TR Q5(Q6) be  $I_5$  ( $I_6$ ). The parameters above are selected to satisfy an equation of  $5r(9, 8) \cdot I_6 \cdot [2/(2 + (10, 7))] > 15$ . Then a discrimination range is shifted regardless of number of channels.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321747

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 3/353			H 0 3 K 3/353	A
3/0233		9184-5K	17/00	R
17/00		9184-5K	17/30	K
17/30			3/023	D

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21)出願番号 特願平7-125372

(22)出願日 平成7年(1995)5月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 宮本 雅之

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 飯塚 邦彦

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 藤尾 光彦

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74)代理人 弁理士 原 謙三

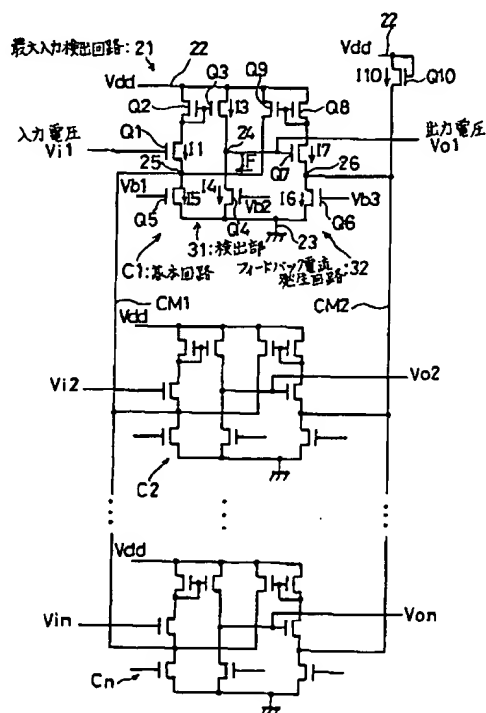
最終頁に続く

(54)【発明の名称】 入力判定回路

(57)【要約】

【構成】 複数チャネルのアナログ入力信号をデジタル変換して演算処理によって大小判定を行うのではなく、構成を簡略化することができるアナログ回路で判定を行うようにした最大入力検出回路21において、各入力電圧 $V_{i1}$ を基準電圧と比較する検出部31と、その出力電圧 $V_{o1}$ に対応して判定のためのレンジを決定するフィードバック電流 $I_F$ を出力するフィードバック電流発生回路32とを設けるとともに、そのフィードバック電流量を決定する第7のトランジスタ $Q_7$ と対を成し、入力電圧が小さいときにおいてもバイアス電流 $I_6$ を確保しておくための第10のトランジスタ $Q_{10}$ を各基本回路 $C_j$ に共通に設ける。

【効果】 全入力チャネル数 $n$ に対して最大レベルおよびそのレベル付近の入力チャネル数 $k$ が比較的の小さいときにも、トランジスタ $Q_7$ によって発生されるフィードバック電流量を前記基準電圧を変化させるための充分な値とすることができる。



## 【特許請求の範囲】

【請求項1】入力電圧に対応して定められる基準電圧に対する入力電圧の差に対応した電流を通過させる第1のトランジスタと、前記第1のトランジスタと一方の電源ラインとの間に介在される第2のトランジスタと、前記一方の電源ラインに接続され、第2のトランジスタと対を成してカレントミラー回路を構成する第3のトランジスタと、前記第3のトランジスタと他方の電源ラインとの間に介在され、予め定める電流を通過させる第4のトランジスタと、前記第1のトランジスタと他方の電源ラインとの間に介在され、予め定める電流を通過させる第5のトランジスタとを含む複数の基本回路が、前記第1のトランジスタと第5のトランジスタとの接続点と同電位となるように相互に並列に接続されて構成され、第3のトランジスタと第4のトランジスタとの接続点から出力される各基本回路からの出力によって、各基本回路への入力のうち、いずれの入力が最も大きい、または最も小さいかを判定するようにした入力判定回路において、

前記各基本回路は、他方の電源ラインに接続され、予め定める電流を通過させる第6のトランジスタと、前記第6のトランジスタに接続され、該第6のトランジスタの端子電圧に対する前記出力の差に対応した電流を通過させる第7のトランジスタと、前記第7のトランジスタと一方の電源ラインとの間に介在される第8のトランジスタと、一方の電源ラインに接続され、前記第8のトランジスタと対を成してカレントミラー回路を構成し、前記第1のトランジスタと第5のトランジスタとの接続点に前記基準電圧を変化させるためのフィードバック電流を供給する第9のトランジスタとを備えるフィードバック電流発生回路を有し、

さらに前記一方の電源ラインと各基本回路の第6のトランジスタとの間に共通に介在され、第6のトランジスタに、該第6のトランジスタの端子電圧に対応した電流をバイパスして通過させる第10のトランジスタを備え、前記第9のトランジスタと第8のトランジスタとのゲート幅／ゲート長の比を $r(9,8)$ とし、前記第10のトランジスタと第7のトランジスタとのゲート幅／ゲート長の比を $r(10,7)$ とし、第5および第6のトランジスタを流れる電流をそれぞれ $I_5$ 、 $I_6$ とすると、

$$r(9,8) \cdot I_6 \cdot \{2 / (2 + r(10,7))\} > I_5$$

を満足するように、前記各パラメータ $I_5$ 、 $I_6$ 、 $r(9,8)$ 、 $r(10,7)$ を設定することを特徴とする入力判定回路。

【請求項2】前記各基本回路の後段に、前記第1～第5のトランジスタから成る判定回路をそれぞれ設け、該判定回路は基本回路の出力をレベル弁別して出力することを特徴とする請求項1記載の入力判定回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多数チャネルのアナログ入力信号から、最大値または最小値であるチャネルを判定するための入力判定回路に関する。

【0002】

【従来の技術】従来から、多数チャネルのアナログ入力信号からの最大値または最小値であるチャネルの判定は、入力された各アナログ信号をデジタル変換し、得られたデジタルデータを演算処理することによって行われている。したがって、判定すべき入力チャネル数が増加すると、演算量は飛躍的に増加し、演算処理装置に高い処理能力が要求され、回路構成が複雑になり、また電力消費も増大する。

【0003】このような不具合を解決するために、入力された複数チャネルのアナログ入力電圧から、最大値となる入力チャネルを判定するようにした従来技術が、たとえば McGraw-Hill 出版、Ismail, Piez 編、Analog VSL I: Signal and Information Processing の p100, Figure 3.31 に示されている。この従来技術による最大入力検出回路1の電気回路図を図4に示す。

【0004】この最大入力検出回路1では、複数 $j$  ( $j = 1, 2, \dots, n$ ) チャネルの入力電圧 $V_{i j}$ に個別に対応した基本回路 $c1 \sim cn$ が設けられている。

【0005】基本回路 $c1$ は、MOS（金属酸化膜半導体）から成る5つの電界効果トランジスタ $q1 \sim q5$ を備えて構成されている。前記入力電圧 $V_{i1}$ は、N型のトランジスタ $q1$ のゲートに入力されており、このトランジスタ $q1$ のドレインはP型のトランジスタ $q2$ のドレインおよびゲートに接続されている。トランジスタ $q2$ のソースはハイレベル $V_{dd}$ の電源ライン2に接続されている。

【0006】このトランジスタ $q2$ に対応して、同様のP型のトランジスタ $q3$ が設けられており、これらトランジスタ $q2$ 、 $q3$ はカレントミラー回路を構成する。トランジスタ $q3$ のゲートは前記トランジスタ $q2$ のゲートとともにトランジスタ $q1$ のドレインに接続されており、またソースは前記電源ライン2に接続され、ドレインはN型のトランジスタ $q4$ のドレインに接続されている。トランジスタ $q4$ のゲートには予め定める基準電圧 $V_{b2}$ が印加されており、またソースは接地レベルの電源ライン3に接続されている。これらトランジスタ $q3$ 、 $q4$ の接続点4からは、該トランジスタ $q3$ 、 $q4$ のインピーダンスに応じた出力電圧 $V_{o1}$ が出力される。

【0007】また、前記トランジスタ $q1$ のソースはN型のトランジスタ $q5$ のドレインに接続されており、このトランジスタ $q5$ のソースは前記電源ライン3に接続され、ゲートには予め定める基準電圧 $V_{b1}$ が印加されている。各トランジスタ $q1 \sim q5$ は、飽和領域で動作する。

【0008】残余の基本回路 $c2 \sim cn$ も、前記基本回

3

路c1と同様に構成されており、各基本回路c1～cnにおけるトランジスタq1とq5との接続点5は、接線cm1によって相互に同電位に保たれている。

【0009】上述のように構成された各基本回路cjにおいて、トランジスタq1を流れる電流をI1とすると、この電流I1と出力電圧Vo<sub>j</sub>との関係は図5で示されるようになる。

【0010】すなわち、出力電圧Vo<sub>j</sub>は、電流I1が電流Ia以下であるときにはVdd/3以下のローレベルとなり、前記電流Iaより大きく電流Ib未満であるときには前記電流I1に対応してVdd/3～2・Vdd/3の範囲で変化し、電流Ib以上であるときには2・Vdd/3以上のハイレベルとなる。

【0011】前記電流Ia、Ibは、前記基準電圧Vb2によって定められるトランジスタq4を流れる参照用のバイアス電流をI4とし、トランジスタq2とトランジスタq3とのゲート幅/ゲート長(W/L)の比をr(2,3)とすると、それぞれr(2,3)・I4-ΔIa、r(2,3)・I4+ΔIbで表すことができる。

【0012】したがって、各基本回路cjにそれぞれ入力電圧Vi<sub>j</sub>を印加し、電流I1k≧IbかつI1j≦Ia(j≠k)となる各入力電圧Vi<sub>j</sub>に対応した出力電圧は、Vo<sub>k</sub>=ハイレベルかつVo<sub>j</sub>=ローレベルとなる。こうして、複数の入力電圧Vi<sub>j</sub>のうち、唯一の最大値となる入力電圧Vikが検出されることになる。

【0013】しかしながら、上述のような最大入力検出回路1では、図6(a)において参照符I01、I02、I03で示すように、電流I1が電流Ib以上で複数得られるときには、それらの電流I01、I02、I03に対して、出力電圧Vo<sub>j</sub>はすべてハイレベルとなってしまう、大小判定を行うことができなくなってしまう。すなわち、該最大入力検出回路1における判定レンジが有効に使用されず、分解能に劣るという問題がある。

【0014】したがって、図6(b)において参照符I01a、I02a、I03aで示すように、電流I1のレベルを低レベル側にシフトして前記判定レンジを有効に活用することが考えられる。このような考え方をを用いる他の従来技術は、J.Choi and B.J.Shue, A High-Precision VLSI Winner-Take-All Circuit for Self-Organizing Neural Networks, IEEE Journal of Solid-State Circuits, Vol.28, No.5, pp.576-584, May 1993に示されている。この従来技術による最大入力検出回路11の電気回路図を図7で示す。図7において、前記図6に類似し、対応する部分には、同一の参照符を付してその説明を省略する。

【0015】この最大入力検出回路11では、各基本回路cajには、それぞれトランジスタq6～q10から成るフィードバック電流発生回路12が設けられている。フィードバック電流発生回路12において、前記接

4

続点4からの出力電圧Vo<sub>j</sub>は、N型のトランジスタq7のゲートに入力されており、このトランジスタq7のソースは、N型のトランジスタq6を介して前記電源ライン3に接続されるとともに、接線cm2によって各基本回路caj間で相互に同電位に保持される。トランジスタq6のゲートには予め定める基準電圧Vb3が印加されており、したがって、各基本回路cajのトランジスタq6を流れるバイアス電流I6は、前記基準電圧Vb3によって規定されている。

【0016】前記トランジスタq7のドレインは、P型のトランジスタq8を介して電源ライン2に接続されている。このトランジスタq8と対を成すトランジスタq9が設けられており、これらトランジスタq8、q9はカレントミラー回路を構成し、トランジスタq9は前記トランジスタq7に流れる電流に対応する電流を、フィードバック電流IFとして、前記接続点5に正帰還する。

【0017】また、前記トランジスタq7と対を成すN型のトランジスタq10が設けられており、該トランジスタq10のゲートおよびドレインは前記電源ライン2に接続され、ソースはトランジスタq7のソースとともに前記トランジスタq6のドレインに接続されている。各トランジスタq6～q10は、飽和領域で動作する。

【0018】したがって、各基本回路cajにおいて、前記出力電圧Vo<sub>j</sub>が接線cm2の電圧にMOSFETの導通に要する閾値電圧Vthを加算した電圧よりも高くなる程、前記接続点5にフィードバック電流IFが正帰還されることになり、トランジスタq1を流れる電流I1、すなわちトランジスタq3を流れる電流I3が減少する。これによって、前記出力電圧Vo<sub>j</sub>が接線cm2の電圧に閾値電圧Vthを加算した電圧よりも低くなると、トランジスタq7はOFFとなって、トランジスタq6の前記バイアス電流I6はトランジスタq10からすべて供給されることになる。このような動作が、入力電圧Vi<sub>j</sub>の小さいチャネルの基本回路から行われ、前記判定レンジが最大入力付近にシフトして、最終的に最大入力の基本回路のみが出力電圧Vo<sub>j</sub>にハイレベルを出力することになる。

【0019】

【発明が解決しようとする課題】上述のような最大入力検出回路11では、出力電圧Vo<sub>j</sub>がハイレベルとなるべきチャネル数をk(≧2)とすると、前記チャネル数kが小さいとき、すなわちたとえば2つの入力電圧だけがハイレベルの出力電圧を得ることができる値であり、残余の多数の入力電圧がローレベルの出力電圧となるべき値であるときには、十分なフィードバック電流を得ることができない。したがって、前記判定レンジを、前記図6(b)で示すように、前記2つのチャネルの入力電圧に対応した電流値付近にシフトさせることができず、この2つの入力電圧に対して大小判定ができないという

問題がある。

【0020】以下に、フィードバック電流が不足する理\*

$$I = K \cdot (W/L) \cdot (V_{gs} - V_{th})^2$$

で表される。ただし、Kは、MOSFETの物性によって決定される比例定数である。またW/Lは、ゲート幅とゲート長との比であり、大きくなる程、電流通過量が增多する。V<sub>gs</sub>は、ゲート-ソース間電圧であり、V<sub>th</sub>は導通に要する閾値電圧である。

【0021】ここで、全入力チャネル数nのうち最大値およびその付近となる入力チャネル数を前記kとし、残※10

$$I_F = r(9, 8) \cdot n \cdot I_6 \{k / (k + r(10, 7) \cdot n)\} \quad \dots (2)$$

を超えることはない。ただし、r(9, 8)はカレントミラー回路を構成するトランジスタq<sub>9</sub>とq<sub>8</sub>との前記ゲート幅/ゲート長の比であり、r(10, 7)はトランジスタq<sub>10</sub>とq<sub>7</sub>とのゲート幅/ゲート長の比である。

【0022】これに対して、相互にほぼレベルの等しいk個の入力を分離するにあたって、前記トランジスタq<sub>1</sub>を流れる電流I<sub>1</sub>は、基準電圧である該トランジスタq<sub>1</sub>のソース電圧に対する入力電圧V<sub>ij</sub>の差に対応し★

$$I_{Fa} = (n - k) \cdot I_5$$

が必要となる。

【0023】前記フィードバック電流I<sub>F</sub>とI<sub>Fa</sub>とを比較すると、出力電圧V<sub>o</sub>がハイレベルとなるチャネル数kを一定値として、全入力チャネル数nに対するオーダを考えると、すなわちn=∞としたとき、フィードバック電流I<sub>F</sub>は定数となるのに対して、フィードバック電流I<sub>Fa</sub>は発散してしまう。したがって、各パラメータr(9, 8), r(10, 7), I<sub>5</sub>, I<sub>6</sub>をいかなる値としても、全入力チャネル数nが多くなる程、実際のフィードバック電流I<sub>F</sub>は要求されるフィードバック電流I<sub>Fa</sub>を満たすことができない。 30

【0024】したがって、最大値付近のチャネル数kが小さく、全入力チャネル数nが大きい場合には、前述のように判定レンジをシフトさせることができず、分解能が低下してしまうという問題がある。

【0025】このような問題を解決するためには、n=1におけるトランジスタq<sub>10</sub>の電流容量に対して、n>1の場合には前記電流容量を1/nとする方法が考えられる。しかしながら、n=16, 32, 64, …のように種々の全入力チャネル数に対応するためには、その全入力チャネル数に合わせて電極面積やパターン幅などを個別に設計する必要があり、汎用性に欠けるという問題がある。また、全入力チャネル数が多くなると、前記電極面積やパターン幅などが微小になり、既存の設計ルールで対応できないという問題もある。 40

【0026】本発明の目的は、多数のアナログ入力からアナログ/デジタル変換器を用いることのない簡便な構成で、最大値または最小値を正確に判定することができる入力判定回路を提供することである。

【0027】

\*由を詳述する。MOSFETの飽和領域での電流Iの基本式は、

$$\dots (1)$$

※余のn-k個の入力チャネルは入出力ともローレベルの0Vとすると、接続点5にフィードバックされるフィードバック電流I<sub>F</sub>は、前記基準電圧V<sub>b3</sub>によって定められるトランジスタq<sub>6</sub>を流れるバイアス電流I<sub>6</sub>の総和n・I<sub>6</sub>を、出力電圧V<sub>o</sub>がハイレベルであるk個のトランジスタq<sub>7</sub>と、n個のトランジスタq<sub>10</sub>とで分流した値のr(9, 8)倍、したがって、

★ており、したがって入力電圧V<sub>ij</sub>が最大値およびその付近であり、出力電圧V<sub>o</sub>がハイレベルとなる前記kチャネル分は、該トランジスタq<sub>1</sub>からトランジスタq<sub>5</sub>へ必要となるバイアス電流I<sub>5</sub>を十分に供給することができる。しかしながら出力電圧V<sub>o</sub>がローレベルとなるn-kチャネル分のバイアス電流I<sub>5</sub>が不足し、フィードバック電流I<sub>Fa</sub>として、

$$\dots (3)$$

【課題を解決するための手段】請求項1の発明に係る入力判定回路は、入力電圧に対応して定められる基準電圧に対する入力電圧の差に対応した電流を通過させる第1のトランジスタと、前記第1のトランジスタと一方の電源ラインとの間に介在される第2のトランジスタと、前記一方の電源ラインに接続され、第2のトランジスタと対を成してカレントミラー回路を構成する第3のトランジスタと、前記第3のトランジスタと他方の電源ラインとの間に介在され、予め定める電流を通過させる第4のトランジスタと、前記第1のトランジスタと他方の電源ラインとの間に介在され、予め定める電流を通過させる第5のトランジスタとを含む複数の基本回路が、前記第1のトランジスタと第5のトランジスタとの接続点と同電位となるように相互に並列に接続されて構成され、第3のトランジスタと第4のトランジスタとの接続点から出力される各基本回路からの出力によって、各基本回路への入力のうち、いずれの入力が最も大きいか、または最も小さいかを判定するようにした入力判定回路において、前記各基本回路は、他方の電源ラインに接続され、予め定める電流を通過させる第6のトランジスタと、前記第6のトランジスタに接続され、該第6のトランジスタの端子電圧に対する前記出力の差に対応した電流を通過させる第7のトランジスタと、前記第7のトランジスタと一方の電源ラインとの間に介在される第8のトランジスタと、一方の電源ラインに接続され、前記第8のトランジスタと対を成してカレントミラー回路を構成し、前記第1のトランジスタと第5のトランジスタとの接続点に前記基準電圧を変化させるためのフィードバック電流を供給する第9のトランジスタとを備えるフィードバック電流発生回路を有し、さらに前記一方の電源ライン 50

7

と各基本回路の第6のトランジスタとの間に共通に介在され、第6のトランジスタに、該第6のトランジスタの端子電圧に対応した電流をバイパスして通過させる第10のトランジスタを備え、前記第9のトランジスタと第8のトランジスタとのゲート幅／ゲート長の比を $r(9, 8)$ とし、前記第10のトランジスタと第7とのトランジスタのゲート幅／ゲート長の比を $r(10, 7)$ とし、第5および第6のトランジスタを流れる電流をそれぞれ $I_5$ 、 $I_6$ とすると、 $r(9, 8) \cdot I_6 \cdot \{2 / (2 + r(10, 7))\} > I_5$ を満足するように、前記各パラメータ $I_5$ 、 $I_6$ 、 $r(9, 8)$ 、 $r(10, 7)$ を設定することを特徴とする。

【0028】また、請求項2の発明に係る入力判定回路は、前記各基本回路の後段に、前記第1～第5のトランジスタから成る判定回路をそれぞれ設け、該判定回路は基本回路の出力をレベル弁別して出力することを特徴とする。

【0029】

【作用】請求項1の発明に従えば、多数チャネルのアナログ入力信号から、アナログ／デジタル変換器を用いることのない簡便な構成で、最大値または最小値であるチャネルを直接判定するようにした入力判定回路において、各入力毎に個別に対応して設けられ、入力電圧と、該入力電圧に対応して定められる基準電圧とを比較する基本回路に、入力電圧に対応して前記基準電圧を変化し、該基本回路の判定レンジをシフトするためのフィードバック電流発生回路を設けておく。

【0030】すなわち、各基本回路は、図1で示すように、一対の電源ライン間に、第2、第1および第5のトランジスタから成る直列回路と、第3および第4のトランジスタから成る直列回路とが介在されて構成されている。たとえば、該入力判定回路が最大値検出のための回路であるときには、一方の電源ライン、すなわち第2および第3のトランジスタ側の電源ラインはハイレベルとなり、したがって第5および第4のトランジスタ側の電源ラインはローレベルとなる。またこのとき、第2および第3のトランジスタはP型のたとえばMOSFETであり、第1、第4および第5のトランジスタはN型のMOSFETである。

【0031】入力電圧は第1のトランジスタに入力されており、この第1のトランジスタはソースに印加される基準電圧と入力電圧との差、すなわちゲート－ソース間の電位差に対応した電流を通過させる。この第1のトランジスタと他方の電源ラインとの間に介在される第5のトランジスタには、予め定める基準電圧が印加されて、該第5のトランジスタは予め定める電流を通過させるようになっている。

【0032】また、前記第1のトランジスタと一方の電源ラインとの間に介在される第2のトランジスタは第3のトランジスタと対を成してカレントミラー回路を構成

8

しており、したがって前記第1のトランジスタに流れる電流に対応した電流が第3のトランジスタに流れる。この第3のトランジスタの出力端と他方の電源ラインとの間には第4のトランジスタが介在されており、この第4のトランジスタは、前記第5のトランジスタと同様に、予め定める基準電圧が印加されて予め定める電流を通過させるように構成されている。

【0033】このような各基本回路が、前記第1のトランジスタと第5のトランジスタとの接続点が相互に接続されて同電位とされて並列接続されている。したがって、第3および第4のトランジスタの接続点から出力される各基本回路の出力は、入力電圧が高くなって第1のトランジスタを流れる電流、すなわち第3のトランジスタを流れる電流が大きくなってゆく程、第4のトランジスタに比べて該第3のトランジスタ側のインピーダンスが小さくなって、高くなってゆく。こうして各基本回路では、同電位の基準電圧に対して、入力電圧の比較的高いチャネルの出力電圧がハイレベルとなるように構成されている。

【0034】このような基本回路の構成に、本発明では第6～第9のトランジスタから成るフィードバック電流発生回路が設けられている。すなわち、前記第1および第5のトランジスタと同様に、他方の電源ラインに対して予め定める電流を通過させる第6のトランジスタが接続され、その第6のトランジスタに第7のトランジスタから、該第6のトランジスタの端子電圧と前記基本回路の出力電圧との差に対応した電流が入力される。前記第7のトランジスタを流れる電流に対応した電流が、該第7のトランジスタと一方の電源ラインとの間に介在される第8のトランジスタおよび該第8のトランジスタとカレントミラー回路を構成する第9のトランジスタによって、前記第1のトランジスタと第5のトランジスタとの接続点、すなわち第1のトランジスタに前記基準電圧を与えるべき点へフィードバックされる。

【0035】したがって、第1のトランジスタへの入力電圧が高くなると、第3および第4のトランジスタの接続点から出力される出力電圧が高くなり、これに伴ってフィードバック電流が増大し、第1のトランジスタを流れる電流と、第5のトランジスタを流れる予め定める電流との比に対応して、前記基準電圧が上昇する。これによって、該第1のトランジスタを流れる電流が減少し、前記基準電圧に対する入力電圧の大小判定のための判定レンジが該入力電圧の高レベル側にシフトすることになる。こうして、複数の入力から最大値または最小値を正確に判定することが可能となる。

【0036】本発明では、さらにこのような構成に加えて、一方の電源ラインと各基本回路の第6のトランジスタとの間に、共通に第10のトランジスタを設けておき、この第10のトランジスタによって、予め規定されている第6のトランジスタを流れるべき電流を、入力電

圧の小さいときには前記第7のトランジスタをバイパスして一方の電源ラインから供給する。ただし、この第10のトランジスタと前記第7のトランジスタとのゲート幅／ゲート長の比を $r(10,7)$ とし、前記第9のトランジスタと第8のトランジスタとのゲート幅／ゲート長の比を $r(9,8)$ とし、第5および第6のトランジスタを流れる電流をそれぞれ $I_5$ 、 $I_6$ とすると、

$$r(9,8) \cdot I_6 \cdot \{2 / (2 + r(10,7))\} > I_5$$

を満足するように、各パラメータ $I_5$ 、 $I_6$ 、 $r(9,8)$ 、 $r(10,7)$ の設定を行う。

【0037】したがって、上式から、前記フィードバック電流の基になる電流 $I_6$ は、前記基準電圧を発生するために必要となる電流 $I_5$ を充分に満足することになり、該入力判定回路が最大値検出回路であるときには最大値およびその付近のレベルの入力チャネル数が全入力チャネル数に比べて比較的小さいとき、または該入力判定回路が最小値検出回路であるときには最小値およびその付近のレベルの入力チャネル数が全入力チャネル数よりも比較的小さいときにも、充分なフィードバック電流を発生して判定レンジのシフトを実現し、高い分解能で正確な最大値または最小値の判定を可能とすることができる。

【0038】また、請求項2の発明に従えば、前記フィードバック電流発生回路を備える各基本回路の後段に、前記第1～第5のトランジスタから成る、すなわち該基本回路にフィードバック電流発生回路が設けられていない構成で実現される回路が、判定回路としてそれぞれ設けられている。

【0039】したがって、最大値判定すべき出力または最小値判定すべき出力が多数存在しても、それらの出力電圧が出力チャネル数に対応して分圧されてしまうようなことはなく、一方レベルまたは他方レベルの出力電圧を正確に出力することが可能となる。

【0040】

【実施例】本発明の一実施例について、図1に基づいて説明すれば、以下のとおりである。

【0041】図1は、本発明の一実施例の最大入力検出回路21の電気回路図である。この最大入力検出回路21は、複数 $j$  ( $j=1, 2, \dots, n$ ) チャネルのアナログ入力電圧 $V_{i,j}$ に個別的に対応した基本回路 $C1 \sim Cn$ を備えている。

【0042】基本回路 $C1$ は、MOSから成る5つの電界効果トランジスタ $Q1 \sim Q5$ を有する検出部31と、4つの電界効果トランジスタ $Q6 \sim Q9$ を有するフィードバック電流発生回路32とを備えて構成されている。前記検出部31において、前記入力電圧 $V_{i,1}$ はN型のトランジスタ $Q1$ のゲートに入力されており、このトランジスタ $Q1$ のドレインはP型のトランジスタ $Q2$ のドレインおよびゲートに接続されている。

【0043】トランジスタ $Q2$ のソースは、ハイレベル

$V_{dd}$ である一方の電源ライン22に接続されている。このトランジスタ $Q2$ に対応して、同様のP型のトランジスタ $Q3$ が設けられており、これらトランジスタ $Q2$ 、 $Q3$ はカレントミラー回路を構成する。トランジスタ $Q3$ のゲートは前記トランジスタ $Q2$ のゲートとともにトランジスタ $Q1$ のドレインに接続されており、またソースは前記電源ライン22に接続され、ドレインはN型のトランジスタ $Q4$ のドレインに接続されている。

【0044】トランジスタ $Q4$ のゲートには予め定める基準電圧 $V_{b2}$ が印加されており、またソースは接地レベルである他方の電源ライン23に接続されている。これらトランジスタ $Q3$ 、 $Q4$ の接続点24からは、該トランジスタ $Q3$ 、 $Q4$ のインピーダンスに応じた出力電圧 $V_{o1}$ が出力される。また、前記トランジスタ $Q1$ のソースはN型のトランジスタ $Q5$ のドレインに接続されており、このトランジスタ $Q5$ のソースは前記電源ライン23に接続され、ゲートには予め定める基準電圧 $V_{b1}$ が印加されている。

【0045】前記接続点24からの出力電圧 $V_{o1}$ はまた、フィードバック電流発生回路32に入力され、N型のトランジスタ $Q7$ のゲートに入力される。このトランジスタ $Q7$ のソースは、N型のトランジスタ $Q6$ を介して前記電源ライン23に接続される。トランジスタ $Q6$ のゲートには予め定める基準電圧 $V_{b3}$ が印加されており、したがって、該トランジスタ $Q6$ を流れるバイアス電流 $I_6$ は前記基準電圧 $V_{b3}$ によって規定された一定値となる。

【0046】前記トランジスタ $Q7$ のドレインは、P型のトランジスタ $Q8$ を介して電源ライン22に接続されている。このトランジスタ $Q8$ と対を成すトランジスタ $Q9$ が設けられており、これらトランジスタ $Q8$ 、 $Q9$ はカレントミラー回路を構成し、トランジスタ $Q9$ は前記トランジスタ $Q7$ に流れる電流に対応したフィードバック電流 $I_F$ を前記トランジスタ $Q1$ とトランジスタ $Q5$ との接続点25に正帰還する。

【0047】残余の基本回路 $C2 \sim Cn$ も前記基本回路 $C1$ と同様に構成されており、各基本回路 $C1 \sim Cn$ における接続点25は接線 $CM1$ によって相互に同電位に保たれている。また、トランジスタ $Q7$ とトランジスタ $Q6$ との接続点26は、接線 $CM2$ によって各基本回路 $Cj$ 間で相互に同電位に保持される。

【0048】本発明の最大入力検出回路21では、上述のような入力チャネル数 $n$ に対応した数の基本回路 $C1 \sim Cn$ とともに、これらの基本回路 $C1 \sim Cn$ に共通に、前記トランジスタ $Q6$ のバイアス電流 $I_6$ を供給するためのN型のトランジスタ $Q10$ が設けられている。このトランジスタ $Q10$ のゲートおよびドレインは前記ハイレベル $V_{dd}$ の電源ライン22に接続され、ソースはトランジスタ $Q6$ のドレイン、すなわち接線 $CM2$ に接続されている。各トランジスタ $Q1 \sim Q10$ は、飽和

領域で動作する。

【0049】上述のように構成された最大入力検出回路21において、まず検出部31の動作を詳述する。各トランジスタQ5を流れるバイアス電流I5は基準電圧Vb1によって前述のように規定されており、したがって各トランジスタQ1は、各トランジスタQ5が接線CM1で並列接続されていることから、各トランジスタQ9からのすべてのフィードバック電流IFと、各トランジスタQ5を流れる電流I5の総和 $n \cdot I5$ とに対応した値となる該トランジスタQ1のソース電圧と、入力電圧V1jとの差に対応した電流I1を通過させる。

【0050】これによって、電流I3が流れるトランジスタQ3のインピーダンスと、前記基準電圧Vb2によって規定される電流I4が流れるトランジスタQ4のインピーダンスとの差に対応した電圧が、接続点24から出力電圧Vojとして出力されるとともに、トランジスタQ7のゲートに入力される。また、これによってトランジスタQ7は、相互に並列接続されている各トランジスタQ6において前記バイアス電圧Vb3によって規定される電流I6の総和 $n \cdot I6$ と、前記トランジスタQ10を流れる電流I10とに対応した該トランジスタQ7のソース電圧と、入力される前記出力電圧Vojとの差に対応した電流I7をトランジスタQ8から引込み、トランジスタQ9を介して前記接続点25にフィードバック電流IFとして正帰還する。

【0051】すなわち、前記図5で示すように、出力電圧Vojは、電流I1が、電流Ia以下であるときには $Vdd/3$ 以下のローレベルとなり、前記電流Iaより大きく電流Ib未満であるときには該電流I1に対応して $Vdd/3 \sim 2 \cdot Vdd/3$ の範囲で変化し、電流I

$$IF = r(9, 8) \cdot n \cdot I6 \cdot \{k / (k + r(10, 7))\} \quad \dots (4)$$

となる。ただし、kは相互にほぼレベルの等しい最大入力のチャネル数であり、r(9, 8)はカレントミラー回路を構成するトランジスタQ9とトランジスタQ8とのゲート幅/ゲート長の比であり、r(10, 7)はトランジスタQ10とトランジスタQ7とのゲート幅/ゲート長の比である。

【0055】したがって、常に十分なフィードバック電流IFを確保するためには、前記式3で示すように、出力電圧Vojがローレベルとなる $n - k$ チャネル分のバ

$$r(9, 8) \cdot n \cdot I6 \cdot \{2 / (2 + r(10, 7))\} > (n - 2) \cdot I5 \quad \dots (5)$$

が得られ、したがって、

$$r(9, 8) \cdot I6 \cdot \{2 / (2 + r(10, 7))\} > I5 \quad \dots (6)$$

を満足していれば、全入力チャネル数nが $n \geq 2$ に対して、前記式5を満足して $IF > IFa$ とすることができる。この式6を満足するように前記各パラメータI5, I6, r(9, 8), r(10, 7)を設定することによって、十分なフィードバック電流IFを得ることができ、前記図6(b)で示すように判定レンジをシフトして、分解能を向上することができる。

\*b以上であるときには $2 \cdot Vdd/3$ 以上のハイレベルとなる。

【0052】ここで、前記電流Ia, Ibは、前記基準電圧Vb2によって定められるトランジスタQ4を流れる参照用のバイアス電流をI4とし、トランジスタQ2, Q3のゲート幅/ゲート長の比をr(2, 3)とすると、それぞれ $r(2, 3) \cdot I4 - \Delta Ia$ ,  $r(2, 3) \cdot I4 + \Delta Ib$ で表すことができる。

【0053】また、フィードバック電流発生回路32は、前述のように前記出力電圧Vojが接線CM2の電圧にMOSFETの導通に要する閾値電圧Vthを加算した電圧よりも高くなる程、前記接続点25に大きなフィードバック電流IFを正帰還する。したがって、出力電圧Vojが高くなる程、トランジスタQ1を流れる電流I1、すなわちトランジスタQ3を流れる電流I3が減少し、出力電圧Vojが接線CM2の電圧に前記閾値電圧Vthを加算した電圧よりも低くなると、トランジスタQ7はOFFとなって、トランジスタQ6の前記バイアス電流I6はトランジスタQ10から供給される。このような動作が、入力電圧V1jの小さいチャネルの基本回路から行われ、前記判定レンジが最大入力付近にシフトして、最終的に最大入力の基本回路のみが出力電圧Vojにハイレベルを出力し、最大値の選択が行われる。

【0054】本発明ではさらに、バイアス電流I6を供給するトランジスタQ10を、各基本回路C1~Cnに対して共通に単一個だけ設けている。したがって、必要となるバイアス電流 $n \cdot I6$ のうち、トランジスタQ10を流れる電流I10は入力チャネル数nに無関係となり、フィードバック電流IFは、前記式2から、

※イアス電流I5を供給するための電流をIFaとすると、 $IF > IFa$ となる必要がある。ところが、フィードバック電流IFaは前記式3からチャネル数kの増加に対して減少する関数であり、フィードバック電流IFは前記式4からチャネル数kの増加に対して増加する関数である。したがって、 $k = 2$ において $IF > IFa$ となっていればよい。そこで前記式4に $k = 2$ を代入して、

【0056】たとえば、具体的には、 $I5 : I6 = 2 : 1$ とし、 $r(9, 8) = 4$ とすると、前記式6から $r(10, 7) < 2$ を求めることができる。これらの各条件を満足するように、前記各トランジスタQ1~Q10および基準電圧Vb1, Vb2, Vb3を発生させるための基準電圧源などを設計すればよい。

【0057】このように本発明では、各基本回路Cjの



トランジスタQ6のバイアス電流I6を供給するためのバイパス用のトランジスタQ10を、各基本回路Cjに共通に単一個だけ設け、かつ各トランジスタQ1~Q10の構造などを上述の条件を満足するように設定するので、フィードバック電流IFの基になる電流I6は、前記第1のトランジスタQ1のための基準電圧を発生させるために必要となる電流I5を十分に満足することになる。

【0058】したがって、最大入力チャネル数kが小さくても、判定レンジをシフトすることができる充分なフィードバック電流IFを得ることができ、大小判定の分解能を向上することができる。また、全入力チャネル数nの変化に対しても、トランジスタQ10の設計を変更する必要が無く、高い汎用性を得ることができるとともに、既存の設計ルールで対応することができる。

【0059】また、各入力チャネルj毎に、第1段目の基本回路の出力を第2段目の基本回路の入力に与え、さらに第2段目の基本回路の出力を第3段目の基本回路の入力に与えるというように、基本回路を多段に設けておくと、小信号に対する増幅率は、その段数のべき乗、すなわちたとえば3段構成であるときには、1段当りの増幅率をAとすると、A<sup>3</sup>で向上し、分解能を向上することができる。

【0060】ところが上述の最大入力検出回路21では、特定の入力条件では出力が正確に大小の判定結果を表すことができないことがある。すなわち、最大入力相互に近接したレベルで多数存在する場合には、正確にはそれら最大入力のすべてに対応する出力電圧がハイレベルとなるべきであるのに対して、最大入力チャネル数kが増加するに従って、出力電圧がハイレベル、たとえば3Vから徐々に低下してゆくという問題がある。このような問題は、前述のように各基本回路Cjを多段接続した構成であっても解決することができない。

【0061】本発明の他の実施例について、図2に基づいて説明すれば、以下のとおりである。

【0062】図2は、上述のような問題点を解決することができる本発明の他の実施例の最大入力検出回路41の電気回路図である。この図2において、前述の図1の\*

$$\begin{aligned} n \cdot I_6 &= K_r \cdot (V_{dd} - V_{cm2} - V_{th1})^2 \\ &\quad + k \cdot K_f \cdot (V_o - V_{cm2} - V_{th1})^2 \\ &= r(10, 7) \cdot K_f \cdot (V_{dd} - V_{cm2} - V_{th1})^2 \\ &\quad + k \cdot K_f \cdot (V_o - V_{cm2} - V_{th1})^2 \quad \dots (7) \end{aligned}$$

で表すことができる。ただし、Kr、Kfは、それぞれトランジスタQ10、Q7の形状によって決定される定数であり、Kr=r(10, 7)・Kfである。また、Vcm2は接線CM2の電圧であり、Vth1はこれらトランジスタQ10、Q7が導通することができるゲートソース間の閾値電圧である。

$$r(9, 8) \cdot k \cdot K_f \cdot (V_o - V_{cm2} - V_{th1})^2 = (n - k) \cdot I_5 \quad \dots (8)$$

\*構成に類似し、対応する部分には同一の参照符号を付し、その説明を省略する。注目すべきはこの実施例では、各基本回路Cjの後段に、それぞれ各基本回路Cjの出力電圧Vojが、後述するように共通に定められる基準電圧より高いかまたは低いかをレベル弁別して、その判定結果に従うハイレベルまたはローレベルのいずれかの出力電圧Vajを出力する判定回路Djがそれぞれ設けられていることである。

【0063】各判定回路Djは、トランジスタQ11~Q15を有し、前記トランジスタQ1~Q5から成る検出部31と同様に構成されている。前段の基本回路Cjからの出力電圧VojはトランジスタQ11のゲートに輸入され、またトランジスタQ13、Q14の接続点44からは判定結果を表す前記出力電圧Vajが出力される。

【0064】トランジスタQ11とトランジスタQ15との接続点45は、各判定回路Dj間で接線CM11によって相互に接続されており、各トランジスタQ11には前記共通の基準電圧が与えられる。また、トランジスタQ15のゲートには予め定める基準電圧Vb11が印加されており、これによって該トランジスタQ15を流れるバイアス電流I15が規定される。同様に、トランジスタQ14のゲートには予め定める基準電圧Vb12が印加されており、これによって該トランジスタQ14を流れるバイアス電流I14が規定される。

【0065】したがって、この判定回路Djは、前記基本回路Cjにおけるフィードバック電流発生回路32を削除した、フィードバックを行わない最大入力検出回路と考えることができる。

【0066】上述のように構成された最大入力検出回路41において、最大入力であるチャネル数をkとし、その最大入力に対応した基本回路の出力電圧をVoとし、残余のn-kチャネルの入力および出力をローレベルの0Vとすると、電流保存の法則から、接線CM2から各トランジスタQ6へ流込む電流の総和n・I6は、該接線CM2にトランジスタQ10から流込む電流I10と、各トランジスタQ7から流込む電流I7の総和とに等しい、すなわち、

【0067】一方、前記式7における電流I7の総和の項にトランジスタQ9とトランジスタQ8とのゲート幅/ゲート長の比であるr(9, 8)を乗算した値は、前記式3で示すフィードバック電流IFaにほぼ等しく、したがって、

15

16

が求められる。したがって、前記式7およびこの式8から、

$$r(9, 8) \cdot \{n \cdot I_6 - r(10, 7) \cdot K_f \cdot (V_{dd} - V_{cm2} - V_{th1})^2\} \\ = (n - k) \cdot I_5$$

ゆえに、

$$n \cdot I_6 - r(10, 7) \cdot K_f \cdot (V_{dd} - V_{cm2} - V_{th1})^2 \\ = (n - k) \cdot I_5 / r(9, 8)$$

ゆえに、

$$V_{cm2} + V_{th1} = V_{dd} \\ - \{ (n \cdot I_6 - (n - k) \cdot I_5 / r(9, 8)) / (r(10, 7) \cdot K_f) \}^{1/2} \quad \dots (9)$$

が求められる。また前記式8から、

$$V_o - V_{cm2} - V_{th1} \\ = \{ (n - k) \cdot I_5 / (r(9, 8) \cdot k \cdot K_f) \}^{1/2} \quad \dots (10)$$

であり、したがって、式9および式10から、

$$V_o = V_{dd} + \{ (n - k) \cdot I_5 / (r(9, 8) \cdot k \cdot K_f) \}^{1/2} \\ - \{ (n \cdot I_6 - (n - k) \cdot I_5 / r(9, 8)) / (r(10, 7) \cdot K_f) \}^{1/2} \quad \dots (11)$$

となる。

【0068】したがって、この式11において第2項および第3項は最大入力チャネル数kの増加に対して単調に減少する関数であり、各基本回路Cjからの出力電圧Vojは最大入力チャネル数kの増加に伴って低下してゆくことが理解される。

【0069】これに対して、各判定回路Djにおいて出力電圧Vajがハイレベルとなる条件は、トランジスタQ11への入力電圧Viが、接続点44の電圧が前記第5図から2・Vdd/3より大きくなるような電流I1※

$$I_{11} = K_1 \cdot (V_i - V_{cm11} - V_{thn})^2 \quad \dots (12)$$

で表される。

【0071】また、r(5, 1)をトランジスタQ15とトランジスタQ11とのゲート幅/ゲート長の比とし、Vb11をトランジスタQ15のゲートに印加される基準★

$$I_{15} = r(5, 1) \cdot K_1 \cdot (V_{b11} - V_{thn})^2 \quad \dots (13)$$

で表される。

【0072】ここで、バイアス電流I15を通過させる★

$$V_{cm11} \geq V_{b11} - V_{thn} = \{ I_{15} / (r(5, 1) \cdot K_1) \}^{1/2} \quad \dots (14)$$

となる必要がある。したがって前記式12から、

$$V_i = (I_{11} / K_1)^{1/2} + V_{cm11} + V_{thn} \\ \geq (I_{11} / K_1)^{1/2} + \{ I_{15} / (r(5, 1) \cdot K_1) \}^{1/2} + V_{thn} \quad \dots (15)$$

が得られる。

【0073】また、各判定回路Djの出力電圧Vajが◆

$$V_i \geq \{ (r(2, 3) \cdot I_{14} + \Delta I_b) / K_1 \}^{1/2} \\ + \{ I_{15} / (r(5, 1) \cdot K_1) \}^{1/2} + V_{thn} \quad \dots (16)$$

の条件を求めることができる。ただし、r(2, 3)はトランジスタQ12とトランジスタQ13とのゲート幅/ゲート長の比であり、I14は基準電圧Vb12によって決定されるトランジスタQ14を流れるバイアス電流である。

※1を該トランジスタQ11が通過させることのできる電圧以上となることである。

【0070】一方、トランジスタQ11を流れる電流I11は、K1を該トランジスタQ11の形状によって決定される定数とし、Viを前段の各基本回路Cjからの入力電圧とし、Vcm11を接線CM11の電圧とし、Vthnを該トランジスタQ11が導通することのできるゲートソース間の閾値電圧とすると、前記式1を参照して、

★電圧とし、Vthnを該トランジスタQ15が導通するためのゲートソース間の閾値電圧とすると、トランジスタQ15を流れるバイアス電流I15は、

☆トランジスタQ15が飽和領域にあるためには、前記式13から、

◆ハイレベルとなる条件は、前記図5から、I11 ≥ r(2, 3)・I14 + ΔIbであり、したがって、

【0074】したがって、最大入力チャネル数kが増加して前段の基本回路Cjからの出力電圧Vojのレベルが低下しても、その出力電圧Vojが前記式16を満足していると、判定回路Djからの出力電圧Vajをハイレベルにすることができる。

17

18

【0075】具体的には、たとえば $V_{dd}=3V$ 、 $V_{thn}=0.7V$ 、 $I_5:I_4:I_6=2:2:1$ 、 $r_{(5,1)}=1$ 、 $r_{(9,8)}=4$ 、 $I_6/K_f^*=1/20$ 、 $I_5/K_1=1/10$ および $\Delta I_b/K_1=1/80$ とすると、前記式11から、

$$\begin{aligned} V_{oj} &= 3 + \{ (n-k) \cdot 2 / (4 \cdot 20 \cdot k) \}^{1/2} \\ &\quad - \{ (n/20 - (n-k) \cdot 2 / (4 \cdot 20)) / r_{(10,7)} \}^{1/2} \\ &= 3 + \{ (n-k) / (40 \cdot k) \}^{1/2} \\ &\quad - \{ (n+k) / (40 \cdot r_{(10,7)}) \}^{1/2} \end{aligned}$$

となる。さらに、前述のような各パラメータを前記式6 ※に、たとえば $r_{(10,7)}=1/2$ とすると、に代入して得られる条件 $r_{(10,7)} < 2$ を満足するよう※

$$V_{oj} = 3 + \{ (n-k) / (40 \cdot k) \}^{1/2} - \{ (n+k) / 20 \}^{1/2}$$

が得られる。

★【0078】ここで、前記式16に前記各パラメータを代入すると、

【0076】したがって、たとえば全入力チャネル数 $n=64$ とすると、

$$V_{oj} = 3 + \{ (64-k) / (40 \cdot k) \}^{1/2} - \{ (64+k)/20 \}^{1/2}$$

となり、最大入力チャネル数 $k$ を変化させた場合の各基本回路Cjの出力電圧 $V_{oj}$ は、表1のようになる。

【0077】

【表1】

k	$V_o$
1	2.45
2	2.06
10	1.45
12	1.38
13	1.34
14	1.33
20	1.18
30	1.00
64	0.47

20

30

★

$$\begin{aligned} V_i &\geq (1/10 + 1/80)^{1/2} + (1/10)^{1/2} + 0.7 \\ &= 0.335 + 0.316 + 0.7 = 1.351 (V) \end{aligned}$$

となる。

【0079】したがって、前述のように設定した各パラメータでは、前記表1から、最大入力チャネル数 $k$ が12以下であれば、最大入力に対応したチャネルの出力電圧 $V_{aj}$ を、ハイレベルに保持することが可能となる。また、一般に、画像処理などにおける最大入力判定では、前記 $n=64$ に対して、 $k=10$ 程度となることが知られており、したがってこのように全入力チャネル数 $n$ と予想される最大入力チャネル数 $k$ とに対応して、各判定回路Djからハイレベルの判定結果を出力可能とするように各パラメータを設定することによって、正確な判定結果を出力することができる。

【0080】この点、前述のように基本回路Cjを各入力チャネル毎に多段に接続しても、前記表1で示すように最大入力チャネル数 $k$ が大きくなる程、出力電圧 $V_o$ は低下してゆき、ハイレベルである $2 \cdot V_{dd}/3$ であ

る $2V$ 以上とならず、ハイレベルとローレベルとの中間的な値になるのに対して、本発明の最大入力検出回路41では、上述のようにしてこのような不具合を解消することができる。

【0081】また、前記各基本回路Cjを多段に接続する場合に比べて、本発明では、1段当たり、トランジスタQ6～Q9の4個に、全入力チャネル数 $n$ を乗算し、トランジスタQ10の1個をプラスした $4n+1$ 個だけ削減することができ、回路構成を簡略化することができる。とともに、電力消費を低減することができる。

【0082】本発明のさらに他の実施例について、図3に基づいて説明すれば以下のとおりである。

【0083】図3は、本発明のさらに他の実施例の最小入力検出回路51の電気回路図である。この最小入力検出回路51は前述の最大入力検出回路41に類似した構成を有しており、ただしトランジスタの導電形式はすべ

て逆極性となっている。

【0084】すなわち、最大入力検出回路41においてN型のMOSFETから成るトランジスタQ1、Q4、Q5、Q6、Q7、Q10、Q11、Q14、Q15が、それぞれこの最小入力検出回路51ではP型のMOSFETによって構成され、したがってこの最小入力検出回路51では、前記最大入力検出回路41における対応するトランジスタの参照符号に添字aを付して示す。また同様に、最大入力検出回路41におけるP型のMOSFETから成るトランジスタQ2、Q3、Q8、Q9、Q12、Q13は、この最小入力検出回路51ではN型のMOSFETから成り、同一の参照符号に添字aを付して示す。その他、対応する部分には、同一の参照符号または添字aを付した参照符号を付して示す。

【0085】したがって、各トランジスタQ1a~Q15aは、前述の各トランジスタQ1~Q15とは、入力電圧Vijに対して反対の動作を行い、出力電圧Vajには、入力電圧Vijが最小値入力となるチャネルだけが前記Vdd/3以下のローレベルの出力が導出される。このように前記最大入力検出回路41におけるトランジスタQ1~Q15の導電形式および基準電圧Vb1、Vb2、Vb3、Vb11、Vb12を変更することによって、最小入力を判定する回路を実現することができる。

#### 【0086】

【発明の効果】請求項1の発明に係る入力判定回路は、以上のように、複数チャネルのアナログ入力信号から、アナログ/デジタル変換器を用いることのない簡便な構成で、最大値または最小値であるチャネルを直接判定するようにした入力判定回路において、各入力チャネル毎に、入力電圧を、該入力電圧に対応して定められる基準電圧と比較して大小判定を行う基本回路に、該基本回路の判定レンジをシフトするためのフィードバック電流発生回路を設けるとともに、たとえば該入力判定回路が最大値検出のための回路であるときには、入力電圧がハイレベルとなる程、前記フィードバック電流を大きくする第7のトランジスタに対応して、入力電圧が小さいときにこの第7のトランジスタをバイパスして第6のトランジスタにバイアス電流を供給する第10のトランジスタを各基本回路に共通に設ける。

【0087】それゆえ、最大値付近の入力チャネル数が少なくても、前記第7のトランジスタを流れる電流によって発生されるフィードバック電流を充分得ることがで

き、大小判定のための判定レンジを入力電圧に対応してシフトして、複数の入力電圧から最大値または最小値を正確に判定することができる。

【0088】また、請求項2の発明に係る入力判定回路は、以上のように、フィードバック電流発生回路を備える各基本回路の後段に、該基本回路に前記フィードバック電流発生回路を設けていない構成で実現される判定回路をそれぞれ設ける。

【0089】それゆえ、最大値または最小値として判定すべき出力が多数存在しても、それらの出力電圧が出力チャネル数に対応して分圧されてしまうようなことはなく、一方レベルまたは他方レベルの出力電圧を正確に出力することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の最大入力検出回路の電気回路図である。

【図2】本発明の他の実施例の最大入力検出回路の電気回路図である。

【図3】本発明のさらに他の実施例の最大入力検出回路の電気回路図である。

【図4】典型的な従来技術の最大入力検出回路の電気回路図である。

【図5】前記各最大入力検出回路における基本回路の動作を説明するためのグラフである。

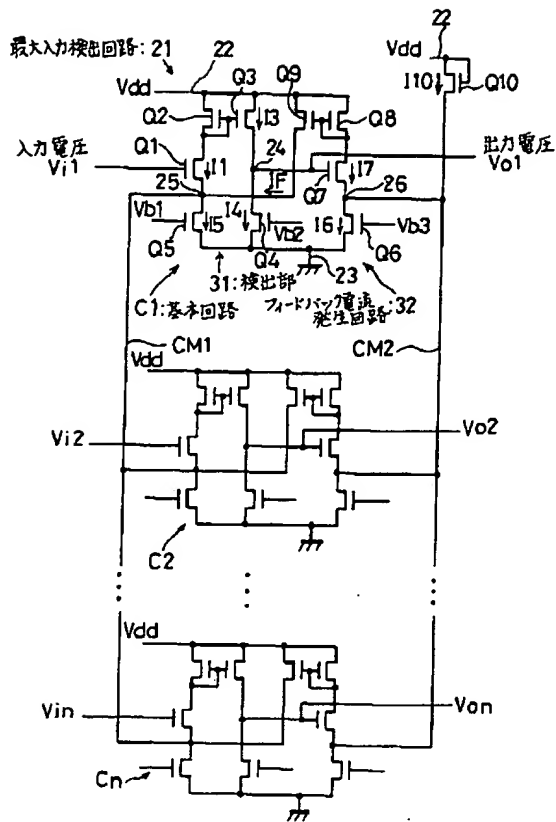
【図6】前記基本回路によって発生する問題点およびそれを解決することができるフィードバック電流発生回路の動作を説明するためのグラフである。

【図7】他の従来技術の最大入力検出回路の電気回路図である。

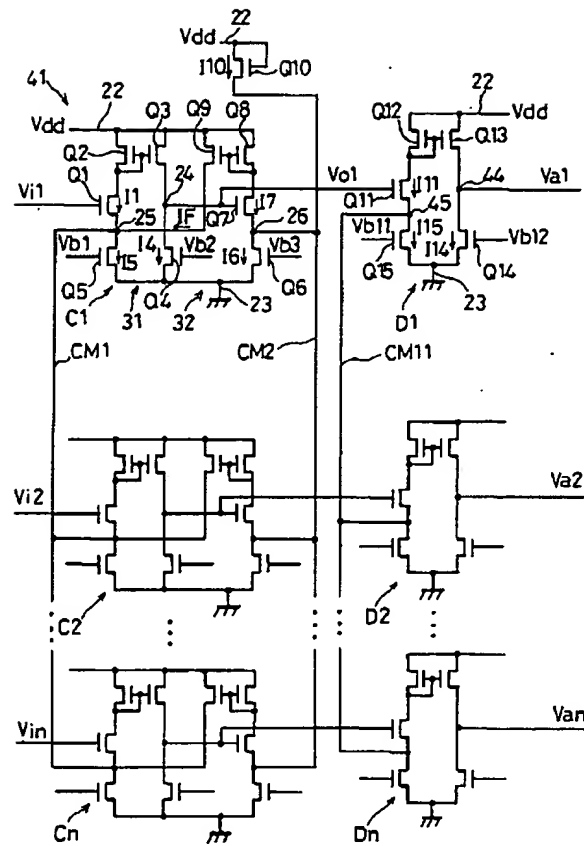
#### 【符号の説明】

- 21 最大入力検出回路
- 22 電源ライン
- 23 電源ライン
- 31 検出部
- 32 フィードバック電流発生回路
- 41 最大入力検出回路
- 51 最小入力検出回路
- Cj 基本回路
- Ca j 基本回路
- Dj 判定回路
- Da j 判定回路
- Q1~15 トランジスタ
- Q1a~Q15a トランジスタ

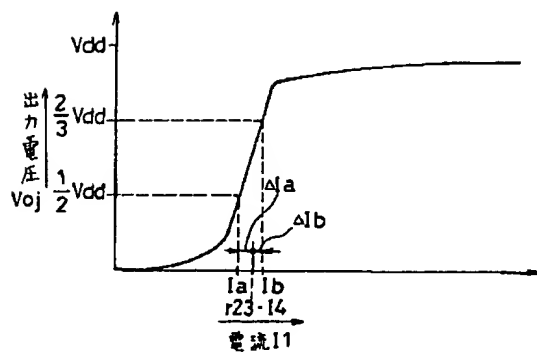
【図1】



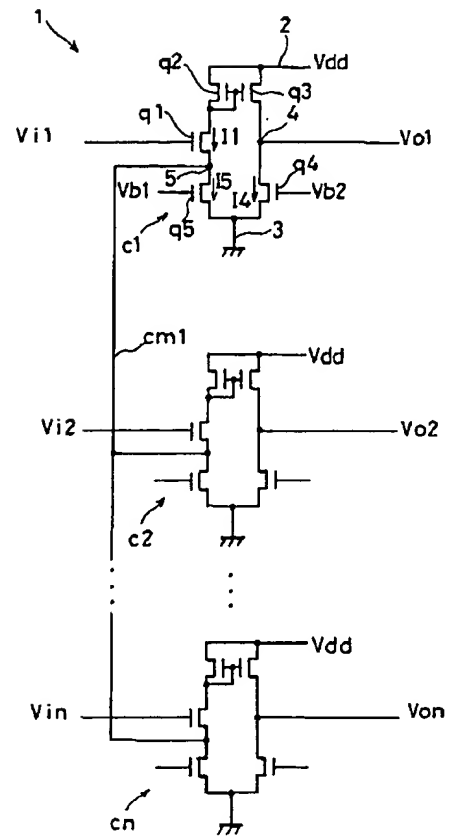
【図2】



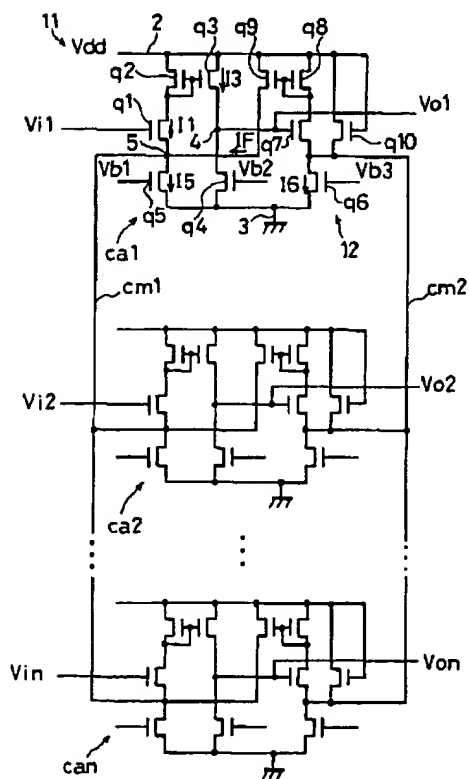
【図5】



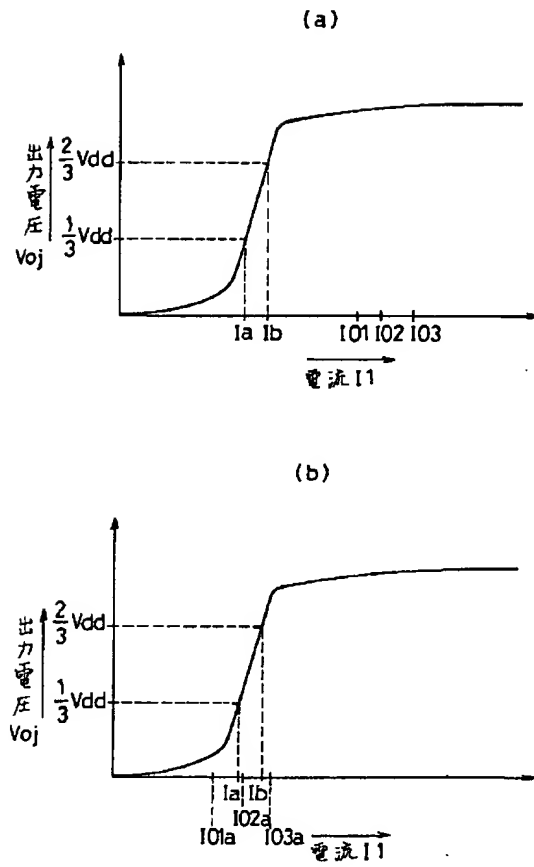
【图4】



【図7】



【図6】



フロントページの続き

(72)発明者 松井 裕文  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**